

构造高斯差分尺度空间的并行结构

张 静, 桑红石

(华中科技大学 多谱信息处理国家重点实验室, 湖北 武汉 430074)

摘 要: 提出了一种并行平滑机制, 并基于该机制实现了构造 DoG 尺度空间的并行结构. 在不影响匹配性能的情况下, 与传统的结构相比, 延迟线数量降低了 84%, 进而使得存储容量降低了 90% 左右. 在 131 MHz 的工作频率下, 对于 320×240 的图像来说, 完成高斯差分尺度空间的构造仅需要 0.59 ms.

关键词: 尺度不变特征; 并行结构; 高斯滤波器; 高斯差分尺度空间

中图分类号: TP391.4

文献标识码: A

文章编号: 1000-7180(2014)07-0006-04

Parallel Architecture for DoG Scale-space Construction

ZHANG Jing, SANG Hong-shi

(Science and Technology on Multi-spectral Information Processing Laboratory,
Huazhong University of Science & Technology, Wuhan 430074, China)

Abstract: In order to reduce the memory requirement caused by line buffers, we proposed a parallel architecture based on a parallel smoothing scheme to construct DoG scale space. Compared with the conventional architecture, the number of line buffers is reduces by 84%, which leads to the memory requirement dropped by 90%, in the similar false positive rate. It only takes 0.59 ms to construct DoG scale space for a 320×240 image at 131 MHz.

Key words: scale invariant feature transformation; parallel architectures; Gaussian filter; difference of Gaussian scale space

1 引言

特征点提取和匹配算法是视觉处理系统前端的一个基础环节. SIFT^[1] 是最受欢迎的局部不变性特征提取算法之一, 它提取的特征点对旋转和尺度具有不变性, 同时对三维视角和亮度变化也具有鲁棒性. 然而, SIFT 算法运算量过大难以在通用计算机上实时运行, 采用硬件对其加速是非常必要的.

自 SIFT 算法问世, 出现了大量针对 SIFT 硬件加速的研究^[2-5]. 2008 年, Bonato^[2] 针对 SLAM 应用, 提出了一个基于 FPGA 平台的完整的 SIFT 硬件加速系统. 该系统中用来构造 DoG 尺度空间的二维高斯滤波器的数量高达 18 个, 几乎耗尽了 Altera Stratix II EP2S60F672C3 芯片所有的硬件资源. 为了降低硬件开销, Chang^[3] 提出以时分复用的方法使得三个倍频程(octave)共用一组高斯滤波器来构造

高斯尺度空间, 从而将滤波器数量降低为前者的三分之一. 该方法能有效降低滤波器运算单元的硬件成本, 却并不能降低延迟线的数量和存储容量需求.

本文以降低行延迟线数量为出发点, 提出了一种并行平滑机制和相应的并行结构实现 DoG 尺度空间的构造. 相比于串行平滑机制, 并行平滑机制中同一个倍频程内所有图像均在第一级图像的基础上进行高斯滤波获得.

2 并行平滑机制

图 1 显示了传统串行平滑机制构造高斯差分尺度空间的方法, 文献[2-3]的电路结构均基于此机制来实现. 串行平滑机制首先将原始图像与系数为 σ_0 的高斯滤波器进行滤波得到第一级图像 G_0 , 然后将 G_0 与系数为 σ_{11} 的高斯滤波器进行滤波得到第二级图像 G_1 , 依此类推生成整个倍频程的 6 个高斯图

像. 根据 Lindeberg^[6-7]的研究, 线性尺度空间具有半群(semi-group)特性: 两个高斯核的卷积等效于另外一个不同核参数的高斯卷积. 因此, 可将图 1 所示的串行平滑机制转换为图 2 所示的并行平滑机制. 两种平滑机制下, 滤波系数的关系如式(1)所示. 并行平滑机制下, 首先进行平滑得到第一级图像 G_0 , 然后同一个 octave 内所有的图像均在该图像基础上进行再次平滑滤波获得.

$$\begin{aligned}\sigma_{12} &= \sigma_{11} \\ \sigma_{22} &= \sqrt{\sigma_{11}^2 + \sigma_{21}^2} \\ \sigma_{32} &= \sqrt{\sigma_{11}^2 + \sigma_{21}^2 + \sigma_{31}^2} \\ \sigma_{42} &= \sqrt{\sigma_{11}^2 + \sigma_{21}^2 + \sigma_{31}^2 + \sigma_{41}^2} \\ \sigma_{52} &= \sqrt{\sigma_{11}^2 + \sigma_{21}^2 + \sigma_{31}^2 + \sigma_{41}^2 + \sigma_{51}^2}\end{aligned}\quad (1)$$

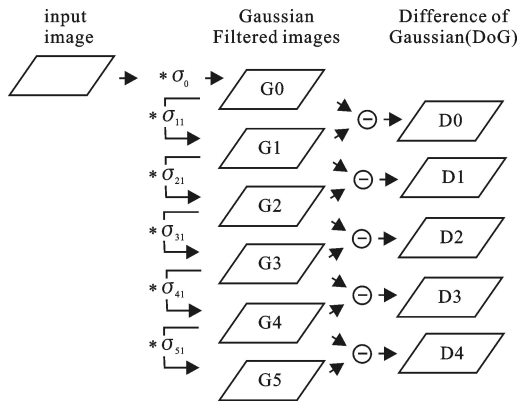


图 1 DoG 构造的串行平滑机制

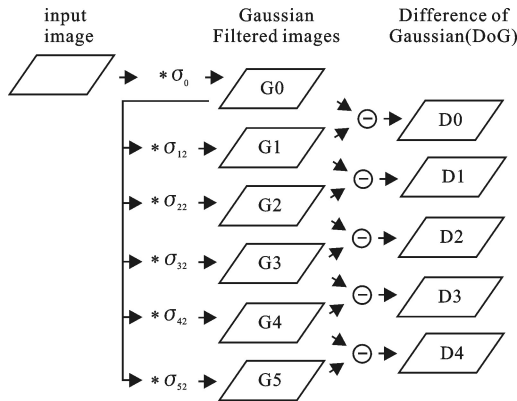


图 2 DoG 构造的并行平滑机制

3 并行结构

基于并行平滑机制, 本文提出了相应的基于流水线的并行滤波结构, 如图 3 所示. 该并行结构由三个模块(图中标示为 octave 0/1/2)分别完成三个倍频程(octave)的尺度空间构造, 其中第二和第三个模块的电路结构与第一个模块(虚线框内)类似, 只是行延迟线的长度仅为第一个模块的一半. 下面以

第一个倍频程为例介绍电路的运行状况.

高斯滤波器 GF0 按照常规扫描顺序滤波初始图像生成第一级高斯图像 G_0 . 延迟线阵列 (Line buffer array, LBA) 串行的接受来自 G_0 的图像, 进行串并转换, 通过延迟线阵列的输出端口并行的提供同一列的多行像素. 假设延迟线阵列中, 各个延迟线按照 1, 2...20 的顺序进行编号, 那么编号为 10 的延迟线 LB10 输出的总是同一列的中心行像素. 为了保证所有滤波器的输出像素具有相同的行列坐标, 高斯滤波器应该以延迟线 LB10 为中心, 根据卷积模板的大小选择合适的延迟线作为输入. 例如, GF1 模板半径为 3, 因此选择 LB7, LB8, ..., LB13 作为滤波器的输入. 所有的滤波器均采用类似的方法处理, 那么所有的滤波器输出就具有相同的行列坐标, 相邻的滤波输出可以直接相减作为 DoG 尺度空间的输出, 不再需要额外的缓存来保持同步, 从而降低延迟线的数量.

并行结构中的高斯卷积操作与 Bonato^[2]提出的结构类似, 但是卷积的方法有所不同. 考虑到 LBA 能够并行的提供垂直方向的像素, 因此本文提出的滤波器结构如图 3 所示, 首先在列方向(或垂直方向)上进行卷积, 最后在行方向(或水平方向)上进行卷积. 图 3 中, 除了滤波器 GF0 采用传统的, 与 Bonato 相同的滤波器结构以外, 所有的滤波器均采用图 3 中所示的滤波结构.

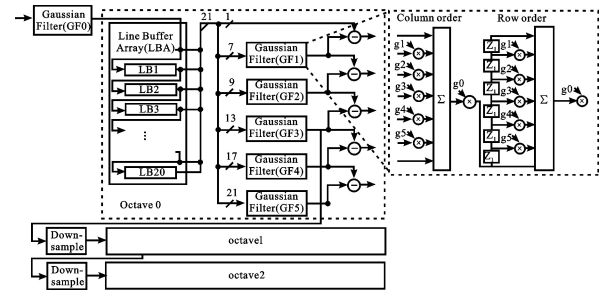


图 3 基于并行平滑机制的流水线结构

4 实验结果与分析

4.1 硬件成本和匹配性能评估

为了对提出的并行结构进行全面的评估, 本文分别从硬件成本和匹配特性两个方面进行测试. 为了测试特征点的匹配特性, 本文使用来自于 Mikolajczyk 的公开图像库^[8]的 14 对图像进行测试, 该测试图像集包含有各种不同类型的场景及图像变换. 仿真时, 使用 MATLAB 定点模型来测试该结构对匹配性能的影响.

采用定点结构实现高斯差分尺度空间的构造不可避免的会导致精度的损失,从而导致特征点匹配误差增大.假设高斯滤波中采用的模板半径为 $R = \lceil n \times \sigma \rceil$, n 越大,匹配性能的损失越小,相应的硬件开销也会增大.另一方面,定点位宽对匹配性能也有重要的影响,比如参与测试的图像位宽,以及滤波器中卷积系数的位宽等.为了简化分析,我们采用两步法来评估上面两个因素对硬件成本和匹配性能的影响:(1) 首先忽略定点格式,仅考虑模板系数 n 的影响;(2) 固定系数 n ,考虑定点字长的影响.

第一步评估的结果如图 4 所示.图 4(a)显示了串行和并行结构下延迟线数量随模板系数 n 的变化情况.从图中可以看出,本文提出的并行结构延迟线数量总是小于 Bonato 的串行结构,而且随着系数 n 的增大,延迟线数量的差距越大,本文结构的优势就越明显.图 4(b)显示了两种结构下测试图像平均的误匹配率随 n 的变化曲线.显然,当模板系数 n 大于 2 时,在匹配性能上,两种结构基本没有差别.

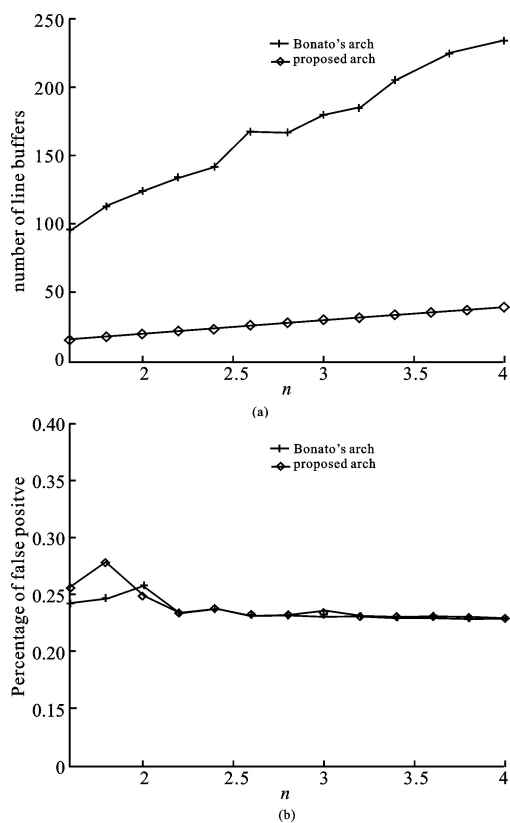


图 4 两种结构下延迟线数量及误匹配率曲线

第二步评估中,有限的字长对硬件成本和匹配性能的影响如图 5 所示,其中硬件成本采用 $0.18\text{-}\mu\text{m}$ CMOS 工艺下等效门的数量来表示.为了简化硬件成本的评估,我们仅考虑行延迟线以及卷积运算单元的面积.行延迟线中采用的存储器由 Verisil-

icon MC 生成.评估卷积运算单元占用的有效门数量时,首先构造 wallance 树获得 1 bit 加法器的数量,然后换算为等效门的数量.测试时,设定卷积系数 $n=2$,根据式(1),并行结构中各个滤波器的模板半径分别为 3,4,6,8,和 10.设定图 3 中卷积系数 g_0 的分数位宽由预先定义的定点误差 0.005 决定,其他卷积系数的整数字长保持全精度,分数字长为 4.将输入图像的分数字长从 0 逐步增大到 8 得到了图 5 所示的硬件成本和误匹配率曲线.从图 5 可以看出,本文的并行结构具有较小的硬件成本和较好的匹配性能.

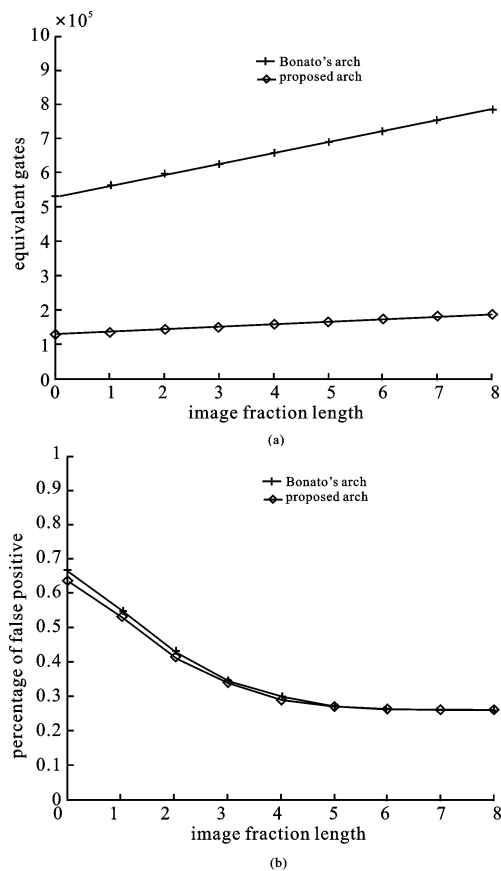


图 5 两种结构下等效门数量及误匹配率曲线

4.2 FPGA 实现

为了获得更具体的硬件成本数据,这一节用消耗的 FPGA 资源来比较串行和并行两种结构的硬件代价.采用 Quartus 软件,将两种结构在同一片 Altera Stratix II 系列的 EP2S60F672C3 芯片上综合实现.表 1 比较了两种结构消耗的硬件资源.在存储容量上,本文提出的结构相比于串行结构的 0.91 Mbit,降低为 0.085 Mbit,仅为串行结构的 10%左右.虽然本文结构在查找表单元的数量上有所增加,但是相比于存储容量的大幅度降低,是可以接受的.并行结构的最大工作频率为 131 MHz,对于 320 ×

240 的图像来说,完成高斯差分尺度空间的构造仅需要 0.59 ms.

表 1 消耗 FPGA 资源的比较

	Bonato ^[2]	提出的结构
存储器容量/Mbit	0.91	0.085
寄存器	7 256	6 487
查找表单元	15 137	16 182
最大工作频率/MHz	149	131

5 结束语

DoG 模块是 SIFT 算法硬件加速中的关键模块.该模块中延迟线数量多,需要的存储容量大.为了降低延迟线的数量,本文提出了一种基于并行平滑机制的并行滤波结构.测试结果表明,在相似的误匹配率下,本文提出的结构延迟线数量降低了 84%,进而使得存储容量降低了 90%左右.在 131 MHz 的工作频率下,对于 320×240 的图像来说,完成高斯差分尺度空间的构造仅需要 0.59 ms.

参考文献:

- [1] Lowe D G. Distinctive image features from scale-invariant keypoints[J]. International Journal of Computer Vision, 2004,60(2):91-110.
- [2] Bonato V, Marques E, Constantinides G A. A parallel hardware architecture for scale and rotation invariant

feature detection[J]. IEEE Trans. Circuits System Video Technology, 2008,18(12):1703-1712.

- [3] Chang L, Hernandez-Palancar J. A Hardware architecture for SIFT candidate keypoints detection [C]// CIARP. Berlin, Germany, 2009:95-102.
- [4] Yao L, Feng H, Zhu Y, et al. An architecture of optimised SIFT feature detection for an FPGA implementation of an image matcher[C]//FPT. Sydney, Australia, 2009:30-37.
- [5] Huang F C, Huang S Y, Ker J W, et al. High-Performance SIFT hardware accelerator for real-time image feature extraction[J]. IEEE Trans. Circuits System Video Technology, 2012, 22(3):340-351.
- [6] Lindeberg T. Scale-space theory: a basic tool for analysing structures at different scales[J]. Journal of Applied Statistics, 1994,21(2):224-270.
- [7] Lindeberg T. Feature detection with automatic scale selection[J]. International Journal of Computer Vision, 1998,30(2):79-116.
- [8] Mikolajczyk K. Affine covariant features[EB/OL]. (2007-07-15). [2014-04-20]. <http://www.robots.ox.ac.uk/~vgg/research/affine/>.

作者简介:

张 静 女,(1980-),博士研究生.研究方向为数字图像处理和数字集成电路设计.

桑红石 女,(1969-),副教授.研究方向为数字图像处理和数字集成电路设计.

(上接第 5 页)

- [5] 吴强,贾传炎. 球结构支持向量机的改进算法及仿真研究[J]. 系统仿真学报, 2008, 20(2):345-348.
- [6] 刘爽,陈鹏. 改进的超球支持向量机算法[J]. 计算机工程与应用,2009(16):149-151.
- [7] Fisher R A. Iris plants database[DB/OL]. (1988-07-15). [2013-10-11]. <http://www.ics.uci.edu/~ml-earn/MLRepository.html>.

作者简介:

刘 爽 女,(1977-),博士,副教授.研究方向为智能信息处理.

陈 鹏 男,(1977-),硕士,副教授.研究方向为 Web 技术.

李克秋 男,(1971-),博士,教授,博士生导师.研究方向为云计算、大数据、数据中心网络.